

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03158077 A

(43) Date of publication of application: 08.07.91

(51) Int. Cl H04N 5/16

(21) Application number: 01298485

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing: 15.11.89

(72) Inventor: OKUMURA NAOJI

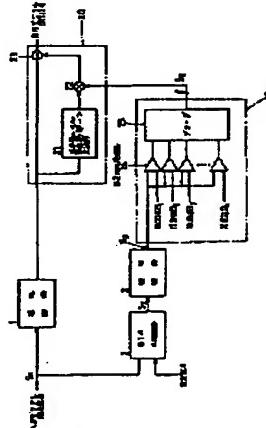
(54) BLACK LEVEL CORRECTION DEVICE

COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract:

PURPOSE: To suppress an event of a picture to be observed as flicker and to prevent deterioration in the picture quality by varying a black level correction stepwise.

CONSTITUTION: n-Set of 2nd comparator circuits 24 comparing an output S_3 of an integration circuit 3 with n-set of setting values B_1-B_n and a decoder 25 converting the output into an 1 bit of binary data are provided. Moreover, a basic black level correction pattern storage section 21 stored with a basic black level correction pattern, a multiplier circuit 22 multiplying an output of the basic black level correction pattern storage section 21 with the output of the decoder 25 and a subtraction circuit 23 subtracting the output of the multiplier circuit 22 from the output of a delay circuit 1 are provided to the device. Accordingly, black level correction is varied stepwise. Thus, an extreme change in a block level on a screen such that the on/off of black level correction is switched for each frame is avoided and an event of the picture observed as a flicker is suppressed.



⑨日本国特許庁(JP) ⑩特許出願公開
⑪公開特許公報(A) 平3-158077

⑫Int.Cl.⁵
H 04 N 5/16

識別記号 庁内整理番号
A 8220-5C

⑬公開 平成3年(1991)7月8日

審査請求 未請求 請求項の数 1 (全9頁)

⑭発明の名称 黒レベル補正装置

⑮特 願 平1-298465

⑯出 願 平1(1989)11月15日

⑰発明者 奥村直司 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑱出願人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑲代理人 弁理士 宮井咲夫

明細書

1. 発明の名称

黒レベル補正装置

2. 特許請求の範囲

入力デジタル輝度信号と第1の設定値との比較を行うことにより西面上の黒レベルのドットに対応して黒レベル信号を出力する第1の比較回路と、この第1の比較回路から出力される黒レベル信号を積分して西面上の各ラインの各ドット毎にそのドットを中心とする複数個のドットからなる微小面積のなかの黒レベル領域の面積の比率を検出する積分回路と、この積分回路の出力と順次値を増大させたn値(nは2以上の整数)の第2の設定値との比較を西面上の各ラインの各ドット毎に行なうn個の第2の比較回路と、前記n個の第2の比較回路の出力をデコードして2ビットの2値データに変換するデコーダと、前記入力デジタル輝度信号を前記第1の比較回路、積分回路、n個の第2の比較回路およびデコーダによる遅延時間と同じだけ遅延させる遅延回路と、前記入力デジタル

輝度信号のレベルとこの入力デジタル輝度信号のレベルに対応した基本黒レベル補正量との関係を示す基本黒レベル補正量パターンを記憶し前記遅延回路の出力のレベルに対応した基本黒レベル補正量を西面上の各ラインの各ドット毎に出力する基本黒レベル補正量パターン記憶部と、この基本黒レベル補正量パターン記憶部から出力された基本黒レベル補正量と前記デコーダから出力される2ビットの2値データとを乗算する乗算回路と、西面上の各ラインの各ドット毎に前記遅延回路の出力から前記乗算回路の出力を減じて出力デジタル輝度信号とする減算回路とを備えた黒レベル補正装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、テレビジョン受信機の画質を改善する黒レベル補正装置に関するものである。

(従来の技術)

近年、テレビジョン受信機の高画質化が進み、デジタルテレビジョン受信機も実用化されている。

さらに、画質を改善するための手段として、様々な黒レベル補正装置が提案されている。

以下、図面を参照しながら、上述した黒レベル補正装置の提案例について説明する。

第6図は黒レベル補正装置の提案例のブロック図を示すものである。また、第7図は積分回路の具体構成を示す回路図、第8図は第7図の中の水平加算回路の具体構成を示す回路図である。

第6図において、1は入力デジタル輝度信号を遅延するデジタルの遅延回路である。2はデジタルの第1の比較回路で、入力デジタル輝度信号と設定値Aとの比較を行うことで画面上の黒レベルのドットに対応して黒レベル信号を検出する。3は第1の比較回路から得られた黒レベル信号を画面上の複数個のドットからなる微小面積毎に積分することにより、微小面積のなかの黒レベル領域の面積の比率を求める積分回路である。4はデジタルの第2の比較回路で、積分回路3の出力、すなわち画面上の微小面積のなかの黒レベル領域の面積の比率と設定値Bとの比較を行う。5はデジ

タル輝度信号のレベルを削減するゲインコントロール回路であり、例えばリードオンリメモリ5Aと切換スイッチ5Bなどで構成されている。

また、第7図の積分回路3の具体構成において、6、6、一はそれぞれラインメモリ、7、7、一はそれぞれ水平加算回路、8は垂直加算回路である。

さらに、第8図の水平加算回路7の具体構成において、9、9、一はそれぞれD-フリップフロップ、10は加算回路である。

以上のように構成された黒レベル補正装置について、以下第2図、第6図、第7図、第8図および第9図ないし第12図を用いて、その動作を説明する。

まず、第2図中に示す入力デジタル輝度信号S₁は、第1の比較回路2において、設定値Aとの比較が行われ、第2図中に示す黒レベル信号S₂として出力される。

つぎに、積分回路3は、具体的には第7図および第8図に示すように、21個のラインメモリ6

が絶縁接続されており、黒レベル信号S₂をそれぞれ1ラインずつ、全体で21ライン遅延させる。また、各ラインメモリ6の入出力が同時に(21+1)個の水平加算回路7にそれぞれつながっている。したがって、(21+1)ラインの黒レベル信号S₂が(21+1)個の水平加算回路7に同時に投入されることになる。

また、水平加算回路7の内部は、21個のD-フリップフロップ9が絶縁接続され、その(21+1)個の入出力は加算回路10に入る。つまり、水平加算回路7では、例えば画面上において、あるライン中のあるドット、例えば第9図のドットSを中心として、水平方向左右計7ドット(ただし、J=3としている)の黒レベル信号を加算している。

つぎに、(21+1)個の水平加算回路7の出力が各々垂直加算回路8に入り、(1-2とする)垂直方向5ラインの加算が行われる。その出力としては、S点に対し、第9図のように(21+1)ドット×(21+1)ラインの微小面積に

おいて黒レベル信号が存在するドットの個数を表すことになる。

以上の積分動作は、画面上の各ライン毎のドット単位で行われる。つまり、入力デジタル輝度信号が1ドット転送される毎にそのドットを中心とする(21+1)ドット×(21+1)ラインの微小面積において黒レベル信号が存在するドットの個数が検出されることになる。

つぎに、第2の比較回路4において、第11図中に示す積分回路3の出力信号S₃と設定値Bとの比較がドット単位で行われ、第11図中に示すような黒レベル補正のオン・オフ信号S₄が出力される。つまり、黒レベル補正のオン・オフ信号S₄は、第11図中の斜線部分のように黒レベル領域の比率の大きなドット、すなわち黒レベル領域が面積的に大きいところは、黒レベル補正をオフにするためにハイレベルの信号が出力され、それ以外のところはローレベルの信号が出力されて黒レベル補正が行われる。

また、入力デジタル輝度信号は、遅延回路1で

遅延され、第2の比較回路4までの信号遅延量と遅延量が合せられた後、ゲインコントロール回路5において、入力されるレベルに応じて補正がかけられる（第12図参照、実線は黒レベル補正オフの場合のゲインコントロール回路5の入出力特性を示し、破線は黒レベル補正オンの場合のゲインコントロール回路5の入出力特性を示している）。その結果として、第12図のP点～Q点では黒の浮きを抑え、Q点～R点では黒レベルの伸張を行い、階調性を良好にしている。この場合、第2の比較回路4の出力がハイレベルのとき、すなわち補正を要しないときはスイッチ5Bが△側に切り換わり、ゲインコントロール回路5は実線で示す入出力特性となる。一方、第2の比較回路4の出力がローレベルのとき、すなわち補正を要するときはスイッチ5Bが△側に切り換わり、ゲインコントロール回路5は破線で示す入出力特性となる。破線の入出力特性は、リードオンリモリ5Aにアドレス入力とデータ出力との関係で記憶させてある。

定値Bが1個であり、設定値B近くのシーンにおいては、黒レベル補正のオン、オフが、フィルム毎などに起こることがあり、画像がフリッカ状に見えるため画質が劣化するという課題を有していた。

この発明の目的は、画質の劣化を防止することができる黒レベル補正装置を提供することである。

【課題を解決するための手段】

この発明の黒レベル補正装置は、入力デジタル輝度信号と第1の設定値との比較を行うことにより画面上の黒レベルのドットに対応して黒レベル信号を出力する第1の比較回路と、この第1の比較回路から出力される黒レベル信号を積分して画面上の各ラインの各ドット毎にそのドットを中心とする複数個のドットからなる最小面積のなかの黒レベル領域の面積の比率を検出する積分回路と、この積分回路の出力と順次値の増大させたn個

(nは2以上の整数)の第2の設定値との比較を画面上の各ラインの各ドット毎に行なうn個の第2の比較回路と、前記n個の第2の比較回路の出力

以上のように、この提案例によれば、積分回路3として、2j個のD-フリップフロップ9と加算回路10とからなる2i個の水平加算回路7と、2i個のラインメモリ6と、垂直加算回路8とを設けることにより、各ラインの各ドットを中心とする(2j+1)ドット×(2i+1)ラインの最小面積における黒レベル領域の面積の比率を各ラインの各ドット毎に検出することができる。

そして、各ラインの各ドット毎に得られた黒レベル領域の面積の比率を設定値Bと比較し、その比較結果に基づいて黒レベル補正のオン・オフを各ラインの各ドット毎に行なうようにしたので、第10図に示すように、一つの画面11上に大面积の黒レベル領域Kと小面積の黒レベル領域Lとの両方が存在するときにも、大面积の黒レベル領域Kでは黒レベルの補正を行わず、小面積の黒レベル領域Lでは黒レベルの補正を行うことになる。

【発明が解決しようとする課題】

上記のような黒レベル補正装置の構成では、黒レベル信号の面積に対する比率の比較のための設

をデコードして2ビットの2値データに変換するデコーダと、前記入力デジタル輝度信号を前記第1の比較回路、積分回路、n個の第2の比較回路およびデコーダによる遅延時間と同じだけ遅延させる遅延回路と、前記入力デジタル輝度信号のレベルとこの入力デジタル輝度信号のレベルに対応した基本黒レベル補正量との関係を示す基本黒レベル補正量パターンを記憶し前記遅延回路の出力のレベルに対応した基本黒レベル補正量を画面上の各ラインの各ドット毎に出力する基本黒レベル補正量パターン記憶部と、この基本黒レベル補正量パターン記憶部から出力された基本黒レベル補正量と前記デコーダから出力される2ビットの2値データなどを乗算する乗算回路と、画面上の各ラインの各ドット毎に前記遅延回路の出力から前記乗算回路の出力を減じて出力デジタル輝度信号とする減算回路とを備えている。

【作用】

この発明の構成によれば、第1の比較回路において、入力デジタル輝度信号と第1の設定値との

比較が行われ、画面上の黒レベルのドットに対応して黒レベル信号が第1の比較回路から出力される。積分回路では、第1の比較回路から出力される黒レベル信号が積分され画面上の各ラインの各ドット毎にそのドットを中心とする微小面積のなかの黒レベル領域の面積の比率が出力される。

第2の比較回路では、この積分回路の出力とそれぞれレベルが順次異なるn個の第nの設定値とを比較する。この比較は、画面上の各ラインの各ドット毎に行われる。そして、n個の第2の比較回路の出力をデコーダがミビットの2値データに変換する。そして、基本黒レベル補正量パターン記憶部から出力された基本黒レベル補正量とデコーダから出力されるミビットの2値データとが乗算回路で乗算される。さらに減算回路において、乗算回路の出力が減じられて出力デジタル輝度信号として出力されることになる。この結果、画面上の各ドットについて、黒レベル領域の面積の比率が大きめ大きいときは黒レベルの補正是行わず、黒レベル領域の面積の比率が小さくなるにつれて

黒レベル補正量が段階的に増加することになる。したがって、一つの画面上に面積の異なる黒レベル領域が存在する場合に、面積に応じて黒レベルが補正されることになる。

また、黒レベル領域の面積の比率の大きさに応じて黒レベル補正量が段階的に変化することから、フレーム毎に黒レベルの補正のオン・オフが切り替わるというような極端な画面の極端な黒レベルの変化をなくすことができ、画像がフリッカ状に見えるような現象を抑制することができ、品質を向上させることができる。

この際、第1の比較回路、積分回路および第2の比較回路における遅延時間と同じだけデジタル輝度信号が遅延されて基本黒レベル補正量パターン記憶部および減算回路へ供給されることになる。

(実施例)

以下、この発明の一実施例の黒レベル補正装置について、図面を参照しながら説明する。

第1図はこの発明の一実施例における黒レベル補正装置のブロック図を示すものである。また、

第2図および第3図は第1図の各部の波形図を示し、第4図は基本黒レベル補正量パターン記憶部に記憶させた基本黒レベル補正量パターン、すなわち基本黒レベル補正量パターン記憶部のアドレス入力とデータ出力との関係を示し、第5図はゲインコントロール回路の入出力特性を示している。

第1図において、26は比較部で、n個の第2の比較回路24、一と、デコーダ25とで構成されている。20はゲインコントロール回路で、リードオンリメモリ等からなる基本黒レベル補正量パターン記憶部21と、乗算器22と、減算器23とで構成されている。

n個の第2の比較回路24は、積分回路3の出力を、順次増大させたn個の設定値B₁～B_nと比較する。デコーダ25は、n個の比較回路24をミビット2値データに変換する。例えば、n=3、k=2で、B₁ < B₂ < B₃の場合において、積分回路3の出力S₃が

$$S_3 \leq B_1$$

では、kが「11」となり、

$$B_1 < S_3 \leq B_2$$

では、kが「10」となり、

$$B_2 < S_3 \leq B_3$$

では、kが「01」となり、

$$S_3 \geq B_3$$

では、kが「00」となる。

基本黒レベル補正量パターン記憶部21は、アドレス入力とデータ出力とを第4図に示すような入出力特性となるように、各アドレスにデータを記憶させている。乗算器22は、基本黒レベル補正量パターン記憶部21の出力とデコーダ25の出力と乗算する。減算器23は、遅延回路1の出力から乗算器22の出力を減算する。したがって、ゲインコントロール回路20から出力される出力デジタル輝度信号は、ゲインコントロール回路20への入力に対して、例えばn=3、k=2で、B₁ < B₂ < B₃の場合において、積分回路3の出力S₃が

$$S_3 \leq B_1$$

では、第5図の破線のような入出力特性となり、

$$B_1 < S_3 \leq B_2$$

では、第5図の一点直線のような入出力特性となり、

$$B_2 < S_3 \leq B_3$$

では、第5図の二点直線のような入出力特性となり、各々積分回路3の出力の大きさに応じて黒レベルの補正が行われる。

$$S_3 \geq B_3$$

では、第5図の二点直線のような入出力特性となり、この場合黒レベルの補正是行われない。

上記以外の構成は第6図に示した提案例と同様である。

以上のように構成された黒レベル補正装置について、以下、第1図ないし第5図を用いて、その動作を説明する。

まず第2図の入力デジタル輝度信号 S_1 は、第1の比較回路2において、設定値Aとの比較が行われ、第2図に示す黒レベル信号 S_2 として出力される。

つぎに、黒レベル信号 S_2 は、積分回路3にお

る補正量パターンが入っているので、基本黒レベル補正量パターン記憶部21への入力信号に対応して基本黒レベル補正量が出力される。

つぎに、その基本黒レベル補正量と前記デコード25の出力との乗算が乗算回路22において行われる。そして、減算回路23において、遅延回路1の出力から前記乗算回路22の出力を減算することで黒レベル補正を行うこととなる（第5図参照）。つまりデジタル輝度信号 S_1 が設定値A以下となっている黒レベル信号 S_2 を検出し、この黒レベル信号 S_2 から画面上の各ラインの各ドット毎にそのドットを中心とする複数個のドットからなる微小面積のなかの黒レベル領域の面積の比率を示す信号 S_3 を求め、この信号 S_3 の大きさを複数段階で判別し、その判別結果に応じて黒レベル補正量を変える。

以上のように、この実施例によれば、積分回路3の出力 S_3 をn個の設定値 $B_1 \sim B_n$ と比較するn個の第2の比較回路24とその出力を1ビットの2値データに変換するデコード25を設ける

いて、前述したとおり画面上の各ラインの各ドット毎にそのドットを中心とする複数個のドットからなる微小面積のなかの黒レベル領域の面積の比率を示す信号 S_3 （第3図（a）参照）として出力される。

つぎに、n個の第2の比較回路24において、n個の設定値 $B_1 \sim B_n$ （第3図参照、ただし、n=3としている）との比較を行うことで、黒レベル領域面積の比率を4段階に分けている。

つぎに、そのn個の第2の比較回路24の出力がデコード25によって1ビットの2値データ S_X （第3図（b）参照、ただし、同図ではそれを便宜上D/A変換した状態で表している）に変換されて出力される。

一方、入力デジタル輝度信号は、遅延回路1において、前述した所定時間遅延された後、基本黒レベル補正量パターン（第4図参照）の入っている基本黒レベル補正量パターン記憶部21にアドレスとして入力される。基本黒レベル補正量パターン記憶部21には、第4図に示した基本黒レベ

ル補正量パターンが入っているので、基本黒レベル補正量パターン記憶部21への入力信号に対して基本黒レベル補正量が出力される。

とともに、基本黒レベル補正量パターンを記憶させた基本黒レベル補正量パターン記憶部21と、この基本黒レベル補正量パターン記憶部21の出力とデコード25の出力とを乗算する乗算回路22と、遅延回路1の出力から乗算回路22の出力を減算する減算回路23とを設けたので、黒レベル補正量を段階的に変えることができる。この結果、フレーム毎に黒レベルの補正のオン・オフが切り替わるというような極端な画面の極端な黒レベルの変化をなくすことができ、画像がフリッカ状に見えるような現象を抑制することができ、品質の劣化を防止することができる。

また、積分回路3により第1の比較回路2から出力される黒レベル信号 S_2 を積分して画面上の各ラインの各ドット毎にそのドットを中心とする微小面積のなかの黒レベル領域の面積の比率を求め、n個の第2の比較回路24により積分回路3の出力とn個の第2の設定値 $B_1 \sim B_n$ との比較を画面上の各ラインの各ドット毎に行い、n個の第2の比較回路24の出力に応じて、ゲインコン

トロール回路20で画面上の各ラインの各ドット毎にデジタル輝度信号のゲインをコントロールし、微小面積のなかの黒レベル領域の面積の比率が小さいドットについては黒レベル補正を行い、黒レベル領域の面積の比率が大きいドットについては黒レベル補正を行わないようにしたので、一つの画面上に大面積の黒レベル領域と小面積の黒レベル領域との両方が存在するときにも、大面積の黒レベル領域では黒レベルの補正を行わず、小面積の黒レベル領域では黒レベルの補正を行うことができる。したがって、ひとつの画面上の大面積を占める黒レベル領域の黒沈みを抑えることができるとともに同一画面上の小さな面積しか占めない黒レベル領域の黒浮きを抑えることができ、画面上の黒レベルの階調性を良好にすることができる。

【発明の効果】

この発明の黒レベル補正装置によれば、積分回路の出力を n 個の設定値と比較する n 個の第2の比較回路とその出力を 2 ビットの2値データに変

換するデコーダを設けるとともに、基本黒レベル補正量パターンを記憶させた基本黒レベル補正量パターン記憶部と、この基本黒レベル補正量パターン記憶部の出力とデコーダの出力を乗算する乗算回路と、遅延回路の出力から乗算回路の出力を減算する減算回路とを設けたので、黒レベル補正量を段階的に変えることができる。この結果、フレーム毎に黒レベルの補正のオン・オフが切り替わるというような極端な画面の極端な黒レベルの変化をなくすことができ、画像がフリッカ状に見えるような現象を抑制することができ、品質の劣化を防止することができる。

4. 図面の簡単な説明

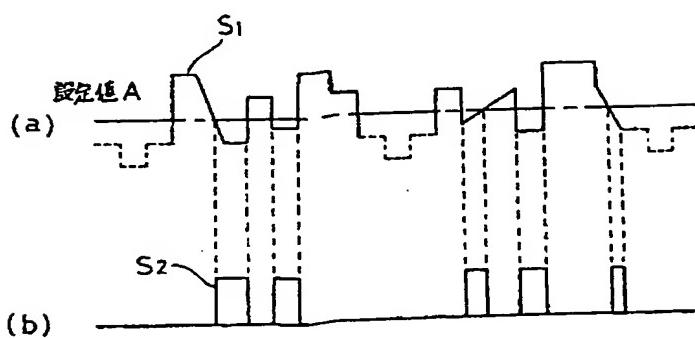
第1図はこの発明の一実施例の黒レベル補正装置のプロック図、第2図および第3図はそれぞれ第1図の各部のタイムチャート、第4図は基本黒レベル補正量パターンを示す入出力特性図、第5図はゲインコントロール回路の入出力特性図、第6図は黒レベル補正装置の提案例のプロック図、第7図は第6図における積分回路の具体構成を示

す回路図、第8図は第7図における水平加算回路の具体構成を示す回路図、第9図は黒レベル信号積分面積図、第10図は画像の一例を示す図、第11図は第6図の各部の波形図、第12図はゲインコントロール回路の入出力特性図である。

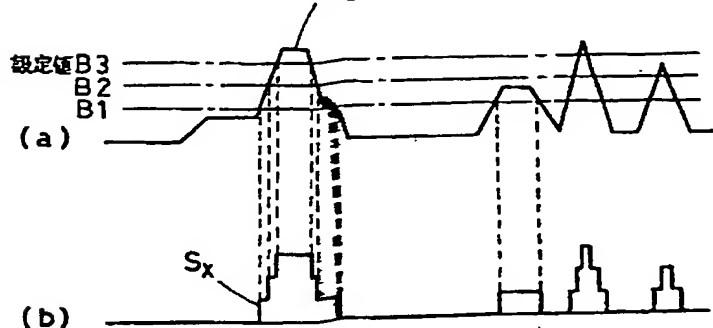
1…遅延回路、2…第1の比較回路、3…積分回路、21…基本黒レベル補正量パターン記憶部、22…乗算器、23…減算器、24…第2の比較器、25…デコーダ

特許出願人 松下電器産業株式会社
代理人 弁理士 宮井咲夫
印鑑
弁理士
印鑑

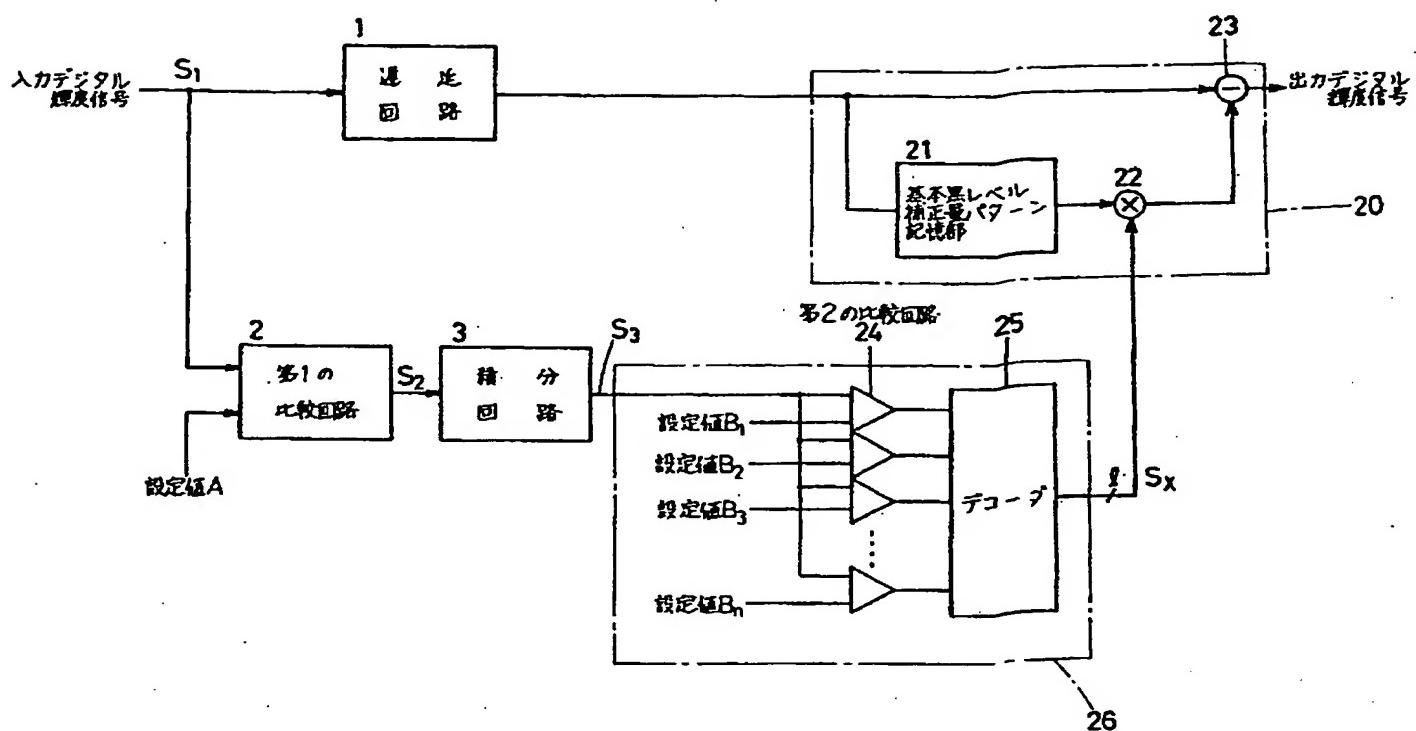
第2図



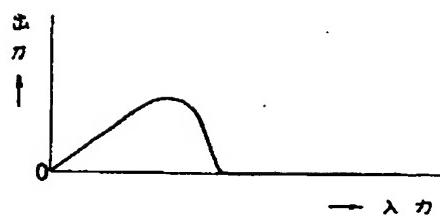
第3図



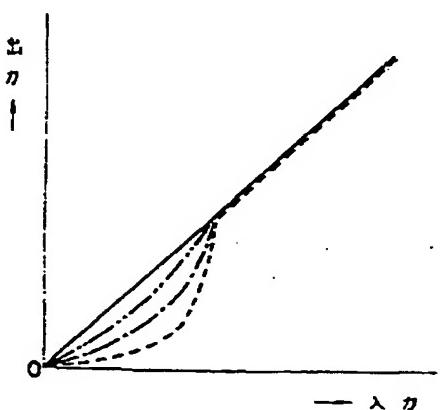
第 1 図



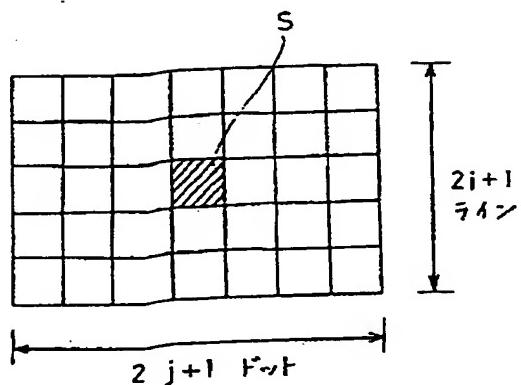
第 4 図



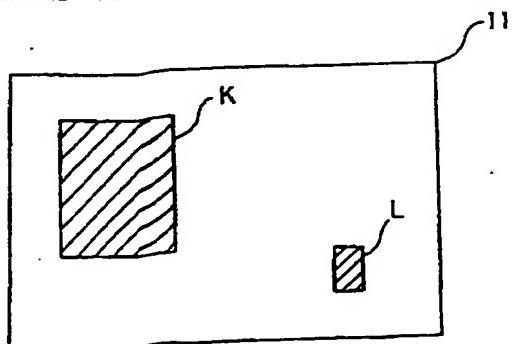
第 5 図



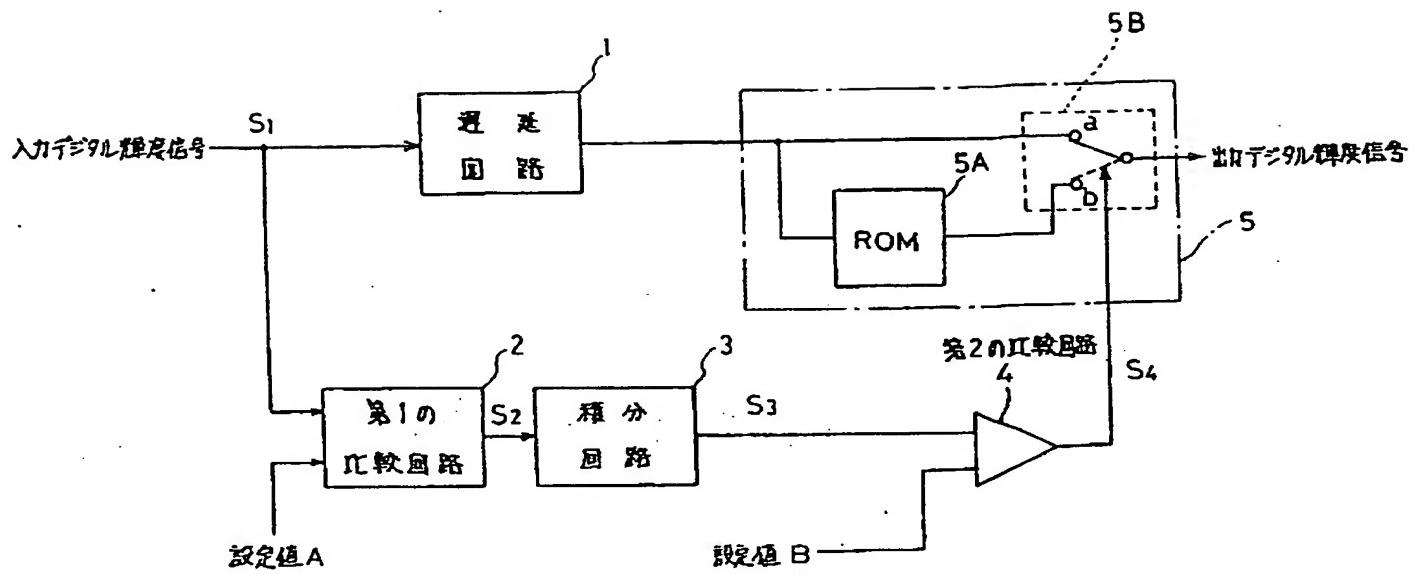
第 9 図



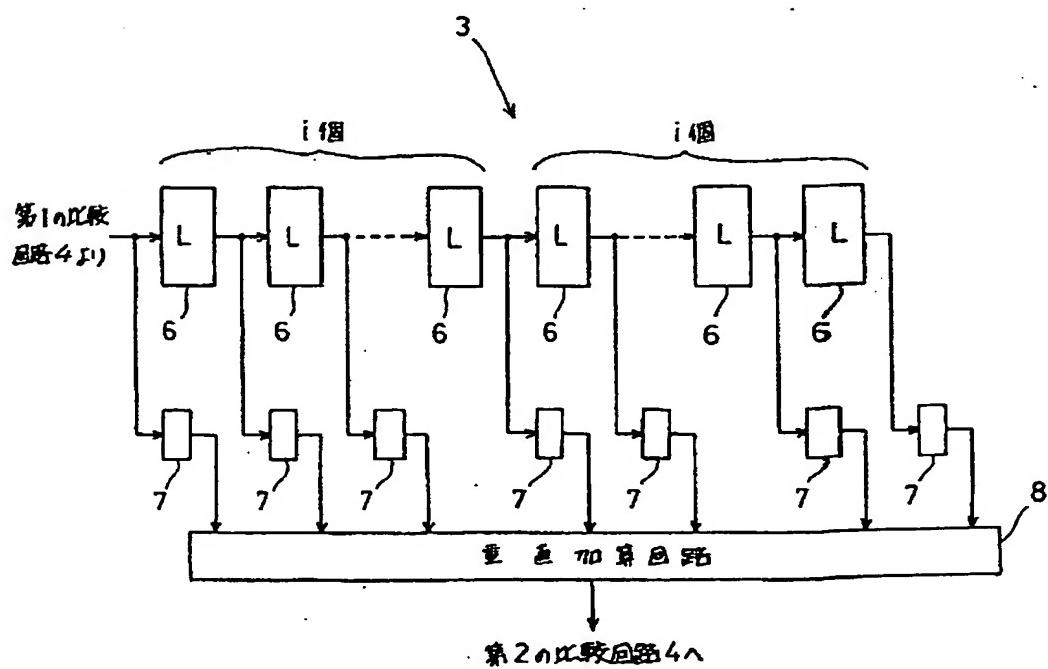
第 10 図



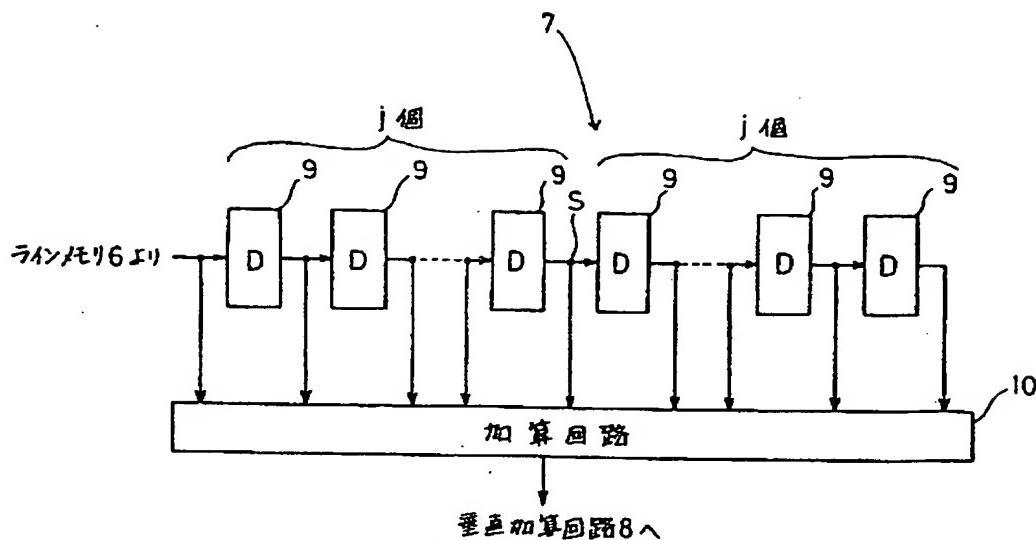
第 6 図



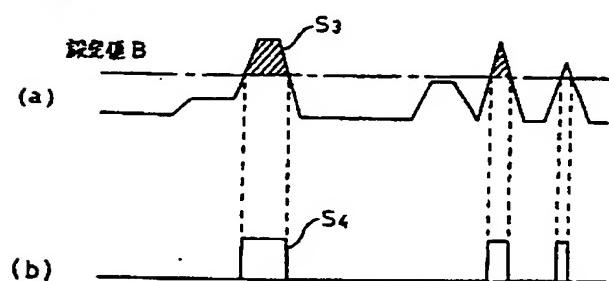
第 7 図



第 8 図



第 11 図



第 12 図

